

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2003年7月3日 (03.07.2003)

PCT

(10)国際公開番号  
WO 03/054962 A1

(51)国際特許分類7: H01L 27/092

(21)国際出願番号: PCT/JP02/12925

(22)国際出願日: 2002年12月10日 (10.12.2002)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:  
特願2001-380534

2001年12月13日 (13.12.2001) JP

(71)出願人(米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo (JP).

(71)出願人および

(72)発明者: 大見忠弘 (OHMI,Tadahiro) [JP/JP]; 〒980-0813 宮城県仙台市青葉区米ヶ袋2丁目1-17-301 Miyagi (JP).

(72)発明者; および

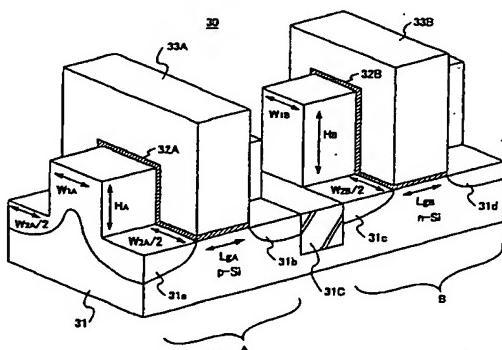
(75)発明者/出願人(米国についてのみ): 小谷光司 (KOTANI,Koji) [JP/JP]; 〒980-8579 宮城県仙台市青葉区荒巻字青葉05 東北大大学工学研究科電子工学専攻内 Miyagi (JP). 須川成利 (SUGAWA,Shigetoshi) [JP/JP]; 〒980-8579 宮城県仙台市青葉区荒巻字青葉05 東北大大学工学研究科技術社会システム専攻内 Miyagi (JP).

(74)代理人: 伊東忠彦 (ITOH,Tadahiko); 〒150-6032 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo (JP).

[続葉有]

(54) Title: COMPLEMENTARY MIS DEVICE

(54)発明の名称: 相補型MIS装置



(57) Abstract: A CMOS device comprises a structure formed on the (100) face of a silicon substrate and having another crystal face, and a p-channel MOS transistor and an n-channel MOS transistor each having a high-quality gate insulating film formed on the structure by microwave plasma processing and a gate electrode formed on the gate insulating film. The dimensions and shape of the structure are so set that the carrier mobility in the p-channel MOS transistor and that in the N-channel MOS transistor are balanced.

(57)要約:

CMOS装置は、シリコン基板の(100)面上に形成された他の結晶面を有する構造と、かかる構造上にマイクロ波プラズマ処理により形成された高品質なゲート絶縁膜と、その上に形成されたゲート電極とよりなるpチャネルMOSトランジスタおよびnチャネルMOSトランジスタを含み、前記pチャネルMOSトランジスタとnチャネルMOSトランジスタとの間でキャリア移動度が平衡するように、前記構造の寸法・形状を設定する。

WO 03/054962 A1

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-188273

(P2003-188273A)

(43) 公開日 平成15年7月4日(2003.7.4)

(51) Int.Cl.<sup>7</sup>  
H 01 L 21/8238  
27/092

識別記号

F I  
H 01 L 27/08

テマコート<sup>TM</sup>(参考)  
3 2 1 C 5 F 0 4 8  
3 2 1 D

審査請求 未請求 請求項の数7 OL (全11頁)

(21) 出願番号 特願2001-380534(P2001-380534)

(22) 出願日 平成13年12月13日(2001.12.13)

(71) 出願人 000205041  
大見 忠弘  
宮城県仙台市青葉区米ヶ袋2-1-17-  
301  
(71) 出願人 000219967  
東京エレクトロン株式会社  
東京都港区赤坂五丁目3番6号  
(72) 発明者 大見 忠弘  
宮城県仙台市青葉区米ヶ袋2-1-17-  
301  
(74) 代理人 100070150  
弁理士 伊東 忠彦

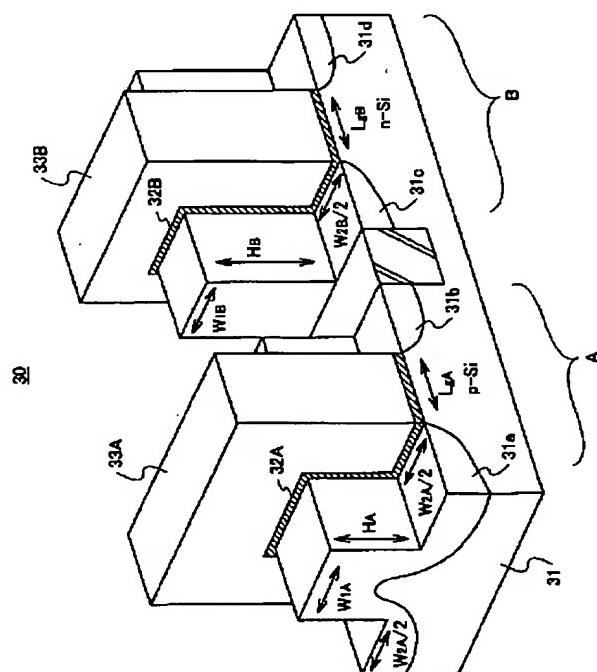
最終頁に続く

(54) 【発明の名称】 相補型MIS装置

(57) 【要約】

【課題】 CMOS装置において、pチャネルMOSトランジスタとnチャネルMOSトランジスタの大きさを平衡させる。

【解決手段】 シリコン基板の(100)面上に他の結晶面を有する構造を形成し、かかる構造上にマイクロ波プラズマ処理により、高品質なゲート絶縁膜を形成し、その上にゲート電極を形成する。その際、pチャネルMOSトランジスタとnチャネルMOSトランジスタのキャリア移動度が平衡するように、前記構造の寸法・形状を設定する。



## 【特許請求の範囲】

【請求項1】 第1の結晶面を正面として有し、pチャネルMISトランジスタ領域とnチャネルMISトランジスタ領域とを画成された半導体基板と、

前記pチャネルMISトランジスタ領域中に前記半導体基板の一部として形成され、前記第1の結晶面とは異なった第2の結晶面により画成された一対の側壁面と、前記第2の結晶面とは異なった第3の結晶面により画成された頂面とよりなる第1の半導体構造と；前記pチャネルMISトランジスタ領域上に形成され、前記正面および前記第1の半導体構造の側壁面および頂面を実質的に一様な厚さで覆う第1のゲート絶縁膜と；前記pチャネルMISトランジスタ領域上に形成され、前記正面および前記第1の半導体構造の側壁面および頂面を、前記第1のゲート絶縁膜を介して連続的に覆う第1のゲート電極と；前記pチャネルMISトランジスタ領域内において、前記半導体基板中および前記第1の半導体構造中、前記第1のゲート電極の一方の側および他方の側に形成され、いずれも前記半導体基板正面および前記第1の半導体構造の側壁面および頂面に沿って連続的に延在する第1および第2のp型拡散領域とよりなるpチャネルMISトランジスタと、

前記nチャネルMISトランジスタ領域中に前記半導体基板と一部として形成され、前記第1の結晶面とは異なった第4の結晶面により画成された一対の側壁面と、前記第4の結晶面とは異なった第5の結晶面により画成された頂面ととよりなる第2の半導体構造と；前記nチャネルMISトランジスタ領域上に形成され、前記正面および前記第2の半導体構造の側壁面および頂面を実質的に一様な厚さで覆う第2のゲート絶縁膜と；前記nチャネルMISトランジスタ領域上に形成され、前記正面および前記第2の半導体構造の側壁面および頂面を、前記第2のゲート絶縁膜を介して連続的に覆う第2のゲート電極と；前記nチャネルMISトランジスタ領域内において、前記半導体基板中および前記第2の半導体構造中、前記第2のゲート電極の一方の側および他方の側に形成され、いずれも前記半導体基板正面および前記第2の半導体構造の側壁面および頂面に沿って連続的に延在する第1および第2のn型拡散領域とよりなるnチャネルMISトランジスタとよりなり、

前記第1の半導体構造の頂面と側壁面の幅、および前記第2の半導体構造の頂面と側壁面の幅は、前記pチャネルMISトランジスタの電流駆動能力が、前記nチャネルMISトランジスタの電流駆動能力と実質的に平衡するように設定されていることを特徴とする相補型MIS装置。

【請求項2】 前記第1結晶面と前記第3の結晶面と前記第5の結晶面とは同一の結晶面よりなり、前記第2の結晶面と前記第4の結晶面とは同一の結晶面よりなることを特徴とする請求項1記載の相補型MIS装置。

【請求項3】 前記第1の半導体構造の頂面および側壁面の幅、および前記第2の半導体構造の頂面および側壁面の幅は、前記第1の半導体構造の頂面および側壁面の幅をそれぞれW<sub>1A</sub>およびW<sub>A</sub>、前記第2の半導体構造の頂面および側壁面の幅をW<sub>1B</sub>およびW<sub>B</sub>、前記正面における前記第1のゲート電極のゲート幅をW<sub>2A</sub>、前記正面における前記第2のゲート電極のゲート幅W<sub>2B</sub>、前記第1の結晶面上におけるホールの移動度をμ<sub>p1</sub>、前記第2の結晶面上におけるホールの移動度をμ<sub>p2</sub>、前記第1の結晶面上における電子の移動度をμ<sub>n1</sub>、前記第2の結晶面上における電子の移動度をμ<sub>n2</sub>として、式  

$$\mu_{p1} (W_{1A} + W_{2A}) + \mu_{p2} W_A = \mu_{n1} (W_{1A} + W_{2A}) + \mu_{n2} W_B$$

を満足するように設定されることを特徴とする請求項2記載の相補型MIS装置。

【請求項4】 前記第1の結晶面はシリコンの(100)面あるいはその近傍の結晶面よりなり、前記第2の結晶面はシリコンの(110)面あるいはその近傍の結晶面よりなることを特徴とする請求項2または3記載の相補型MIS装置。

【請求項5】 前記第1および第2のゲート絶縁膜は酸化膜、窒化膜あるいは酸窒化膜よりなることを特徴とする請求項1～4のうち、いずれか一項記載の相補型MIS装置。

【請求項6】 半導体基板と、  
 前記半導体基板の正面に第1のゲート絶縁膜を介して第1の結晶方位で形成された第1のゲート電極と、前記半導体装置基板中、前記第1のゲート電極の一方の側および他方の側に形成された第1および第2のn型拡散領域とよりなるnチャネルMISトランジスタと、  
 前記半導体基板上に第2のゲート絶縁膜を介して第2の結晶方位で形成された第2のゲート電極と、前記半導体装置基板中、前記第2のゲート電極の一方の側および他方の側に形成された第1および第2のp型拡散領域とよりなるpチャネルMISトランジスタとよりなり、  
 前記第1のゲート電極と前記第2のゲート電極とは共通接続され、

前記第2のp型拡散領域と前記第1のn型拡散領域とは共通接続され、  
 前記第1の結晶方位および前記第2の結晶方位は、前記pチャネルMISトランジスタの電流駆動能力と前記nチャネルMISトランジスタの電流駆動能力とが平衡するように設定されることを特徴とする相補型MIS装置。

【請求項7】 前記半導体基板は、シリコンの(111)面あるいは(110)面あるいはその近傍の結晶面を正面とすることを特徴とする請求項6記載の相補型MIS装置。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**本発明は一般に半導体装置に係り、特にpチャネルMISトランジスタとnチャネルMISトランジスタの電子移動度を平衡させた相補型MIS装置に関する。

**【0002】**CMOS回路はpチャネルMOSトランジスタとnチャネルMOSトランジスタとを含む基本的な電子回路であり、かかるCMOS回路を構成するCMOS装置は様々な電子装置において広く使われている。

**【0003】**

**【従来の技術】**従来より、CMOS装置は、良質な熱酸化膜が形成できるSi基板の(100)面上に形成されている。

**【0004】**しかしSi基板の(100)面上では電子とホールの有効質量と格子散乱確率が著しく異なり、その結果、電子移動度がホール移動度よりも2~3倍も大きくなってしまう。

**【0005】**図1は、典型的なCMOSインバータ10の回路を示す。

**【0006】**図1を参照するに、CMOSインバータ10はpチャネルMOSトランジスタ11とnチャネルMOSトランジスタ12の直列接続により構成されており、pチャネルMOSトランジスタとnチャネルMOSトランジスタに共通に入力信号が供給される構成となっている。

**【0007】**このようなCMOSインバータ10では、先にも説明したようにpチャネルMOSトランジスタのホール移動度、従って電流駆動能力がnチャネルMOSトランジスタの電子移動度の1/2~1/3にしか達しない。そこでCMOS装置全体として十分な電流駆動能力および動作速度を実現するために、従来のCMOSインバータでは、pチャネルMOSトランジスタ11のチャネル幅W1を、nチャネルMOSトランジスタのチャネル幅W2の2~3倍に設定する必要があった。

**【0008】**

**【発明が解決しようとする課題】**しかしながら、かかる従来のCMOS装置の構成では、pチャネルMOSトランジスタのチャネル領域の面積が、nチャネルMOSトランジスタのチャネル領域よりも大きくなってしまい、微細化された高速集積回路装置を設計する際に大きさの異なる素子を配列する必要があり、様々な困難が生じる。また面積の大きなpチャネルMOSトランジスタでは寄生容量も増大し、その結果動作速度が低下し、また消費電力が増大してしまう問題が生じる。

**【0009】**さらにこのようなCMOS回路は、pチャネルMOSトランジスタとnチャネルMOSトランジスタとで特性がこのように非対称であるため、非線形動作特性を示し、線形動作が要求されるアナログ回路等への適用が制限される。

**【0010】**また従来のCMOS回路を初めとする半導体装置は、先にも説明したようにSi基板の(100)

面上に形成されていたが、シリコン結晶の(100)面は原子密度が低く、割れやすいため、ウェハの径を増大させた場合に、取り扱いが困難になる問題点もあった。

**【0011】**そこで、本発明は上記の課題を解決した、新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

**【0012】**本発明のより具体的な課題は、pチャネルMOSトランジスタとnチャネルMOSトランジスタとの間で電流駆動能力を平衡させたCMOS半導体装置を提供することにある。

**【0013】**

**【課題を解決するための手段】**本発明は上記の課題を、請求項1に記載したように、第1の結晶面を正面として有し、pチャネルMISトランジスタ領域とnチャネルMISトランジスタ領域とを画成された半導体基板と、前記pチャネルMISトランジスタ領域中に前記半導体基板の一部として形成され、前記第1の結晶面とは異なった第2の結晶面により画成された一対の側壁面と、前記第2の結晶面とは異なった第3の結晶面により画成された頂面とよりなる第1の半導体構造と；前記pチャネルMISトランジスタ領域上に形成され、前記正面および前記第1の半導体構造の側壁面および頂面を実質的に一様な厚さで覆う第1のゲート絶縁膜と；前記pチャネルMISトランジスタ領域上に形成され、前記正面および前記第1の半導体構造の側壁面および頂面を、前記第1のゲート絶縁膜を介して連続的に覆う第1のゲート電極と；前記pチャネルMISトランジスタ領域内において、前記半導体基板中および前記第1の半導体構造中、前記第1のゲート電極の一方の側および他方の側に形成され、いずれも前記半導体基板正面および前記第1の半導体構造の側壁面および頂面に沿って連続的に延在する第1および第2のp型拡散領域とよりなるpチャネルMISトランジスタと、前記nチャネルMISトランジスタ領域中に前記半導体基板と一部として形成され、前記第1の結晶面とは異なった第4の結晶面により画成された一対の側壁面と、前記第4の結晶面とは異なった第5の結晶面により画成された頂面とよりなる第2の半導体構造と；前記nチャネルMISトランジスタ領域上に形成され、前記正面および前記第2の半導体構造の側壁面および頂面を実質的に一様な厚さで覆う第2のゲート絶縁膜と；前記nチャネルMISトランジスタ領域上に形成され、前記正面および前記第2の半導体構造の側壁面および頂面を、前記第2のゲート絶縁膜を介して連続的に覆う第2のゲート電極と；前記nチャネルMISトランジスタ領域内において、前記半導体基板中および前記第2の半導体構造中、前記第2のゲート電極の一方の側および他方の側に形成され、いずれも前記半導体基板正面および前記第2の半導体構造の側壁面および頂面に沿って連続的に延在する第1および第2のn型拡散領域とよりなるnチャネルMISトランジスタとなり、

前記第1の半導体構造の頂面と側壁面の幅、および前記第2の半導体構造の頂面と側壁面の幅は、前記pチャネルMISトランジスタの電流駆動能力が、前記nチャネルMISトランジスタの電流駆動能力と実質的に平衡するように設定されることを特徴とする相補型MIS装置により、または請求項2に記載したように、前記第1結晶面と前記第3の結晶面と前記第5の結晶面とは同一の結晶面よりなり、前記第2の結晶面と前記第4の結晶面とは同一の結晶面よりなることを特徴とする請求項1記載の相補型MIS装置により、または請求項3に記載したように、前記第1の半導体構造の頂面および側壁面の幅、および前記第2の半導体構造の頂面および側壁面の幅は、前記第1の半導体構造の頂面および側壁面の幅をそれぞれW<sub>1A</sub>およびW<sub>A</sub>、前記第2の半導体構造の頂面および側壁面の幅をW<sub>1B</sub>およびW<sub>B</sub>、前記主面上における前記第1のゲート電極のゲート幅をW<sub>2A</sub>、前記主面上における前記第2のゲート電極のゲート幅W<sub>2B</sub>、前記第1の結晶面上におけるホールの移動度をμ<sub>p1</sub>、前記第2の結晶面上におけるホールの移動度をμ<sub>p2</sub>、前記第1の結晶面上における電子の移動度をμ<sub>n1</sub>、前記第2の結晶面上における電子の移動度をμ<sub>n2</sub>として、式

$$\mu_{p1}(W_{1A}+W_{2A}) + \mu_{p2}W_A = \mu_{n1}(W_{1A}+W_{2A}) + \mu_{n2}W_B$$

を満足するように設定されることを特徴とする請求項2記載の相補型MIS装置により、または請求項4に記載したように、前記第1の結晶面はシリコンの(100)面あるいはその近傍の結晶面よりなり、前記第2の結晶面はシリコンの(110)面あるいはその近傍の結晶面よりなることを特徴とする請求項2または3記載の相補型MIS装置により、または請求項5に記載したように、前記第1および第2のゲート絶縁膜は酸化膜、窒化膜あるいは酸窒化膜よりなることを特徴とする請求項1～4のうち、いずれか一項記載の相補型MIS装置により、または請求項6に記載したように、半導体基板と、前記半導体基板の主面上に第1のゲート絶縁膜を介して第1の結晶方位で形成された第1のゲート電極と、前記半導体装置基板中、前記第1のゲート電極の一方の側および他方の側に形成された第1および第2のn型拡散領域とよりなるnチャネルMISトランジスタと、前記半導体基板上に第2のゲート絶縁膜を介して第2の結晶方位で形成された第2のゲート電極と、前記半導体装置基板中、前記第2のゲート電極の一方の側および他方の側に形成された第1および第2のp型拡散領域とよりなるpチャネルMISトランジスタとよりなり、前記第1のゲート電極と前記第2のゲート電極とは共通接続され、前記第2のp型拡散領域と前記第1のn型拡散領域とは共通接続され、前記第1の結晶方位および前記第2の結晶方位は、前記pチャネルMISトランジスタの電流駆動能力と前記nチャネルMISトランジスタの電流駆動能力とが平衡するように設定されることを特徴とする相

補型MIS装置により、または請求項7に記載したように、前記半導体基板は、シリコンの(111)面あるいは(110)面あるいはその近傍の結晶面を正面とすることを特徴とする請求項6記載の相補型MIS装置により、解決する。

#### 【0014】

【発明の実施の形態】 【原理】 図2は、本発明でゲート絶縁膜の形成に使われるマイクロ波基板処理装置20の構成を示す。

【0015】 図2を参照するに、マイクロ波基板処理装置20は排気ポート21Aにおいて排気される処理容器21を有し、前記処理容器21中には被処理基板24を保持する試料保持台23が設けられる。前記排気ポート21Aは前記試料保持台23の周囲を囲むように形成されており、前記排気ポート21Aに接続された真空ポンプを駆動することにより、余分なラジカルや基板処理に伴う副生成物が、被処理基板24表面近傍の処理空間から、基板表面に沿って装置外に、一様に排出される。

【0016】 また前記処理容器21には、前記被処理基板24に対向するように典型的にはAl<sub>2</sub>O<sub>3</sub>または石英よりなる平板状のマイクロ波窓22が、壁面の一部として形成されており、前記マイクロ波窓22の内側には前記被処理基板24に対向するように、処理ガスを一様に供給する平板状のシャワープレート25が形成されている。

【0017】 さらに前記処理容器21の外側には、同軸導波管27を介して給電されるラジアルラインスロットアンテナなどのマイクロ波アンテナ26が前記マイクロ波窓22に結合するように設けられており、前記マイクロ波アンテナ26を900MHz～10GHz、典型的には2.45GHzのマイクロ波で駆動することにより、前記シャワーへッドプレートの直下に、高密度でしかも低エネルギーのプラズマが一様に形成される。

【0018】 図2のマイクロ波基板処理装置20は、シャワープレート25から供給される処理ガスをプラズマにより励起し、その結果形成されたラジカルにより被処理基板24の表面を処理する。

【0019】 より具体的には、前記処理容器21の内部を最初高真空状態に排気し、次に前記シャワープレート25からKrとO<sub>2</sub>の混合ガスを導入し、前記処理容器21の内圧を約1Torr(約133Pa)に設定する。さらに被処理基板24の温度を200～550°C、好ましくは400°Cに設定し、この状態で前記マイクロ波アンテナにマイクロ波を供給し、被処理基板24の表面近傍に一様な高密度プラズマを形成する。

【0020】 かかるプラズマ形成の結果、Krは中間励起状態に励起され、このように励起されたKr\*と酸素分子とが衝突することにより、前記被処理基板24の表面近傍に原子状酸素O\*が効率良く形成される。このようにして形成された原子状酸素O\*により被処理基板表

面を処理することにより、シリコン基板の(100)面のみならず、(111)面および(110)面上にも、ゲート絶縁膜として適当な高品質な酸化膜を形成することが可能になる。

【0021】図3は、図2のマイクロ波基板処理装置20によりシリコン基板の(100)面、(111)面および(110)面を酸化した場合のKr/O<sub>2</sub>プラズマ酸化膜の成長レートを、熱酸化膜の成長レートと比較して示す。

【0022】図3を参照するに、Kr/O<sub>2</sub>プラズマ酸化膜では熱酸化膜の場合よりもはるかに大きな成長レートが得られており、活性な原子状酸素O\*を使ったSi基板の酸化が非常に効率良く進むことが示されている。さらに図3より、Kr/O<sub>2</sub>プラズマ酸化膜では、Si原子の面密度がより大きな(111)面、(110)面上での成長レートが、(100)面上での成長レートよりも小さくなっていることがわかる。これは原料供給律速プロセスから導かれる帰結と一致しており、このようにして形成されたプラズマ酸化膜は、優れた膜質を有していることが示唆される。

【0023】これに対し、Si基板の(111)面、(110)面上に熱酸化膜を形成した場合には、(100)面上に熱酸化膜を形成した場合よりも酸化膜の成長レートが大きくなってしまい、(111)面、(110)面上に形成されている熱酸化膜は膜質が劣ることを示唆している。

【0024】図4は、このようにして形成されたKr/O<sub>2</sub>プラズマ酸化膜と熱酸化膜とで界面準位密度を比較した結果を示す。

【0025】図4を参照するに、Kr/O<sub>2</sub>プラズマ酸化膜ではシリコンの(100)面上に形成された場合でも(111)面、(110)面上に形成された場合でも、界面準位密度は(100)面上に形成された熱酸化膜の界面準位密度よりも低く、非常に高品質な酸化膜が得られているのがわかる。

【0026】これに対し、シリコンの(111)面、(110)面上に形成された熱酸化膜では、図3の結果から予測された通り界面準位密度が非常に大きく、MOSトランジスタのゲート絶縁膜に使用した場合には、キャリアの捕獲によるしきい値電圧の変化やゲートリーク電流の増大など、様々な問題が生じると考えられる。

【0027】図5(A)～(C)は、シリコン基板のそれぞれ(100)面、(111)面、および(110)面上に、図2の基板処理装置によりシリコン酸化膜を形成し、かかるシリコン酸化膜をゲート絶縁膜としてpチャネルMOSトランジスタを形成した場合のドレイン電圧対規格化ドレイン電流特性を示す。ただし図5(A)、(B)では、シリコン酸化膜を前記Kr/O<sub>2</sub>プラズマ処理により形成した場合と熱酸化処理により形成した場合の両方を示している。これに対し、図5

(C)では、熱酸化処理では(110)面上に酸化膜が形成できないため、Kr/O<sub>2</sub>プラズマ処理により形成したゲート酸化膜の例のみを示している。図5(A)の結果は、ゲート長が10μmでゲート幅が50μmのpチャネルMOSトランジスタについてのものであり、図5(B)、(C)の結果は、ゲート長が10μmでゲート幅が300μmのpチャネルMOSトランジスタについてのものである。

【0028】図5(A)～(C)を参照するに、pチャネルMOSトランジスタのドレイン電流、従って相互コンダクタンスないし電流駆動能力は、トランジスタをシリコンの(100)面以外の結晶面、例えば(111)面あるいは(110)面上に形成することにより増大させることができること、特にpチャネルMOSトランジスタをシリコンの(111)面上に形成した場合に(100)面上に形成したpチャネルMOSトランジスタの約1.3倍の電流駆動能力が得られること、また(110)面上に形成した場合には約1.8倍の電流駆動能力が得られることがわかる。

【第1実施例】図6、7は、本発明の第1実施例によるCMOS装置30の構成を示す。ただし図7は、図6の一部を取り出して示した図である。

【0029】図6、7を参照するに、CMOS装置30は素子分離領域31Cにより隔てられたp型領域Aとn型領域Bとが形成された(100)面を主面とするSi基板31上に形成されており、図7に示すように、前記領域Aには幅がW1Aで高さがH<sub>A</sub>の突出部31Aが、また領域Bには幅がW1Bで高さがH<sub>B</sub>の突出部31Bが両側壁面に形成されている。図7よりわかるように、前記突出部31A、31Bの頂面は(100)面により、側壁面は(110)面により画成されている。

【0030】図7のSi基板31上には、先に図2で説明した基板処理装置20によりシリコン酸化膜が一様に形成されており、さらにその上に、図6に示すポリシリコンゲート電極33Aおよび33Bが、それぞれ領域AおよびB上に形成されている。さらにかかるゲート電極33Aおよび33Bのパターニングに伴って前記シリコン酸化膜もパターニングされ、前記ゲート電極33Aに対応してゲート絶縁膜32Aが、またゲート電極33Bに対応してゲート絶縁膜32Bが形成される。

【0031】さらに図6のCMOS装置30では、前記p型領域Aにおいて前記ゲート電極33Aを自己整合マスクにn型不純物をイオン注入することにより、前記ゲート電極33Aの両側に、前記突出部31Aをも含んでn型拡散領域31aおよび31bが形成される。同様に、前記n型領域Bにおいても前記ゲート電極33Bの両側に、前記突出部31Bをも含んでp型拡散領域31cおよび31dが形成される。その結果、前記Si基板31上には前記領域AにpチャネルMOSトランジスタが、また前記領域BにnチャネルMOSトランジスタが

形成される。

【0032】図6のCMOS装置では、pチャネルMOSトランジスタはゲート長 $l_{gA}$ をまたnチャネルMOSトランジスタはゲート長 $l_{gB}$ を有し、前記ゲート電極33Aは、Si基板31の平坦部を、前記突出部31Aのそれぞれの側において、ゲート幅 $W_{2A}/2$ で覆う。その結果、前記ゲート電極33Aの(100)面上におけるゲート幅は、前記突出部31Aの頂部を含めて、 $W_{1A}+W_{2A}$ により与えられる。これに対し、前記ゲート電極33Aの(110)面上におけるゲート幅 $W_A$ は両側壁面に形成されているので $2H_A$ で与えられ、その結果、前記領域Aに形成されるpチャネルMOSトランジスタの電流駆動能力は、式 $\mu_{p1}(W_{1A}+W_{2A})+2\mu_{p2}H_A$ により与えられる。ただし $\mu_{p1}$ は、(100)面におけるホール移動度を、 $\mu_{p2}$ は(110)面におけるホール移動度を表す。

【0033】同様に、前記領域Bに形成されるnチャネルMOSトランジスタの電流駆動能力は、式 $\mu_{n1}(W_{1A}+W_{2A})+2\mu_{n2}H_B$ により与えられる。ただし $\mu_{n1}$ は、(100)面における電子移動度を、 $\mu_{n2}$ は(110)面における電子移動度を表す。

【0034】そこで、本実施例のCMOS装置30では、pチャネルMOSトランジスタも側壁部が両側壁面に形成されているので、その電流駆動能力とnチャネルMOSトランジスタの電流駆動能力とが平衡するよう、前記突出部31A、31Bの幅および高さを、式 $\mu_{p1}(W_{1A}+W_{2A})+\mu_{p2}W_A=\mu_{n1}(W_{1A}+W_{2A})+\mu_{n2}W_B$ が満足されるように設定する。ただし、ここで $W_A=2H_A$ 、 $W_B=2H_B$ の関係を使った。

【0035】特にかかる構成では、前記突出部31A、31Bの高さ $H_A$ 、 $H_B$ を設定することにより、同一の素子面積でありながら、pチャネルMOSトランジスタとnチャネルMOSトランジスタとの電流駆動能力を平衡させることができになる。

【0036】側壁面へ形成するトランジスタは、両側壁面である必要はなく、片側壁面であってもよい。

【0037】なお、以上の説明ではゲート絶縁膜32A、32Bをシリコン酸化膜としたが、図2の基板処理装置においてArあるいはKrガスよりなる希ガスとNH<sub>3</sub>ガス、あるいは前記希ガスとN<sub>2</sub>ガスとH<sub>2</sub>ガスの混合ガスプラズマを形成することにより、ゲート絶縁膜32A、32Bとしてシリコン窒化膜を形成することも可能である。さらにこれにO<sub>2</sub>ガスを添加することにより、前記ゲート絶縁膜32A、32Bをシリコン酸窒化膜により形成することも可能である。この場合には、pチャネルMOSトランジスタとnチャネルMOSトランジスタの代わりに、pチャネルMISトランジスタとnチャネルMISトランジスタとが得られる。

【0038】さらに、本実施例において前記基板31は

シリコンに限定されるものではなく、Siに他の元素、例えばGeを添加したSiGe基板であってもよい。

【第2実施例】図8は、本発明の第2実施例によるCMOS装置40の構成を示す。

【0039】図8を参照するに、CMOS装置40は(111)面あるいは(110)面を主面とするSi基板41上に形成されており、前記Si基板41上において第1の方位に延在するゲート電極42Aを有するnチャネルMOSトランジスタ40Aと、前記Si基板41上において第2の異なった方位に延在するゲート電極42Bを有するpチャネルMOSトランジスタ40Bとによりなり、前記ゲート電極40Aの両側にはn型拡散領域43A、44Aが、また前記ゲート電極40Bの両側にはp型拡散領域43B、44Bが形成されている。

【0040】その際、前記拡散領域44Aと拡散領域43Bとを接続し、前記ゲート電極42Aと42Bとを接続することにより、CMOS回路が形成される。

【0041】このようなCMOS装置では、pチャネルMOSトランジスタの電流駆動能力が、トランジスタのnチャネルMOSトランジスタに対する相対方位θによって変化する。(110)面方位のシリコンウェーハでは、<110>方位にトランジスタのソース・ドレイン方向が向いたときに電流駆動能力が最大になり、またその180°回転方向では電流駆動能力が最小になる。その間の角度方向では、最大値と最小値の中間の値となる。pチャネルトランジスタでは、最大値と最小値の比は約2.5である。またnチャネルトランジスタでは、最大値と最小値の比は約1.4である。

【0042】よって前記相対方位θを最適化することにより、nチャネルMOSトランジスタ40AとpチャネルMOSトランジスタ40Bとの電流駆動能力を平衡させることが可能である。

【第3実施例】図9は、先のいずれかの実施例によるCMOS回路を応用した3入力NAND回路の構成を示す。

【0043】図9を参照するに、3入力NAND回路は出力端子に接続された出力ラインと接地ラインとの間に直列接続されたnチャネルMOSトランジスタTr1～Tr3を含み、出力ラインV<sub>OUT</sub>と電源電圧V<sub>DD</sub>との間にpチャネルMOSトランジスタTr4～Tr6が並列接続されている。MOSトランジスタTr1とTr4のゲートには入力論理信号Aが、MOSトランジスタTr2とTr5のゲートには入力論理信号Bが、MOSトランジスタTr3とTr6のゲートには入力論理信号Cが供給される。

【0044】図9の各トランジスタに付記された数字は、各トランジスタの相対的な素子面積を示す。そこで、全てのトランジスタをシリコンの(100)面上に形成した場合には、図示のNAND回路は18の相対面積を有することになるが、例えばpチャネルMOSト

ンジスタTr4～Tr6の電流駆動能力が、図6あるいは図8に示す構成により3倍に増大した場合、必要な素子面積は1/3に減少し、その結果、NAND回路の相対面積は12まで減少することになる。このように素子面積が減少する結果、かかるNAND回路を3段接続して形成したリング発振器では、各トランジスタのゲート長が0.25μmの場合に、発振周波数が従来の855MHzから879MHzまで増大する。

[第4実施例] 図10は、先のいずれかの実施例によるCMOS回路を応用した3入力NOR回路の構成を示す。

【0045】図10を参照するに、3入力NOR回路は出力端子に接続された出力ラインと接地ラインとの間に並列接続されたnチャネルMOSトランジスタTr11～Tr13を含み、出力ラインVOUTと電源電圧VDDとの間には、pチャネルMOSトランジスタTr14～Tr16が直列接続されている。MOSトランジスタTr11とTr14のゲートには入力論理信号Aが、MOSトランジスタTr12とTr15のゲートには入力論理信号Bが、MOSトランジスタTr13とTr16のゲートには入力論理信号Cが供給される。

【0046】図10の各トランジスタに付記された数字は、各トランジスタの相対的な素子面積を示す。そこで、全てのトランジスタをシリコンの(100)面上に形成した場合には、図示のNOR回路は全体で30の相対面積を有することになるが、例えばpチャネルMOSトランジスタTr4～Tr6の電流駆動能力が、図6あるいは図8に示す構成により3倍に増大した場合、必要な素子面積は1/3に減少し、その結果、NOR回路の相対面積は12まで減少することになる。このように素子面積が減少する結果、かかるNOR回路を3段接続して形成したリング発振器では、各トランジスタのゲート長が0.25μmの場合に、発振周波数が従来の447MHzから879MHzまで増大する。

[第5実施例] 図11は、先のいずれかの実施例によるCMOS回路を応用した5入力NAND回路の構成を示す。

【0047】図11を参照するに、5入力NAND回路は出力端子に接続された出力ラインと接地ラインとの間に直列接続されたnチャネルMOSトランジスタTr21～Tr25を含み、出力ラインVOUTと電源電圧VDDとの間には、pチャネルMOSトランジスタTr26～Tr30が並列接続されている。MOSトランジスタTr21とTr26のゲートには入力論理信号Aが、MOSトランジスタTr22とTr27のゲートには入力論理信号Bが、MOSトランジスタTr23とTr28のゲートには入力論理信号Cが、MOSトランジスタTr24とTr29のゲートには入力論理信号Dが、MOSトランジスタTr25とTr30のゲートには入力論理信号Eが、供給される。

【0048】図11の各トランジスタに付記された数字

は、各トランジスタの相対的な素子面積を示す。そこで、全てのトランジスタをシリコンの(100)面上に形成した場合には、図示のNAND回路は40の相対面積を有することになるが、例えばpチャネルMOSトランジスタTr26～Tr30の電流駆動能力が図6あるいは図8に示す構成により3倍に増大した場合、必要な素子面積は1/3に減少し、その結果、NAND回路の相対面積は30まで減少することになる。

[第6実施例] 図12は、先のいずれかの実施例によるCMOS回路を応用した5入力NOR回路の構成を示す。

【0049】図12を参照するに、5入力NOR回路は出力端子に接続された出力ラインと接地ラインとの間に並列接続されたnチャネルMOSトランジスタTr41～Tr45を含み、出力ラインVOUTと電源電圧VDDとの間には、pチャネルMOSトランジスタTr46～Tr50が直列接続されている。MOSトランジスタTr41とTr46のゲートには入力論理信号Aが、MOSトランジスタTr42とTr47のゲートには入力論理信号Bが、MOSトランジスタTr43とTr48のゲートには入力論理信号Cが、MOSトランジスタTr44とTr49のゲートには入力論理信号Dが、MOSトランジスタTr45とTr50のゲートには入力論理信号Eが、供給される。

【0050】図11の各トランジスタに付記された数字は、各トランジスタの相対的な素子面積を示す。そこで、全てのトランジスタをシリコンの(100)面上に形成した場合には、図示のNOR回路は全体で80の相対面積を有することになるが、例えばpチャネルMOSトランジスタTr46～Tr50の電流駆動能力が図6あるいは図8に示す構成により3倍に増大した場合、必要な素子面積は1/3に減少し、その結果、NOR回路の相対面積は30まで減少することになる。このように素子面積が減少する結果、かかるNOR回路を3段接続して形成したリング発振器では、各トランジスタのゲート長が0.25μmの場合に、発振周波数が従来の207MHzから431MHzまで増大する。

[第7実施例] 図13は、本発明の第7実施例によるCMOSスイッチの構成を示す。

【0051】図13を参照するに、CMOSスイッチは、入力端子VINと出力端子VOUTとの間に互いに並列に接続されたpチャネルMOSトランジスタTr51とnチャネルMOSトランジスタTr52となり、それぞれのゲート電極に供給されるクロック信号CLKpおよびCLKnに応じて入力端子VINに供給される信号をサンプリングする。

【0052】図14(A)は前記クロック信号CLKpおよびCLKnの波形を、また図14(B)は、前記CMOSスイッチとしてシリコン基板の(100)面上に形成された従来のpチャネルMOSトランジスタとnチャネルMOSトランジスタを使った場合の、出力端子V

OUTに得られる出力信号の波形を示す。

【0053】図14(A), (B)を参照するに、クロック信号CLK<sub>p</sub>およびCLK<sub>n</sub>が遷移を生じた場合、nチャネルMOSトランジスタTr52およびpチャネルMOSトランジスタTr51の導通が遮断されるが、その際、従来のpチャネルMOSトランジスタTr51にはトランジスタTr52よりも大きな素子面積に対応して大きな寄生容量C<sub>p</sub>が付随しており、その結果出力電圧が大きく低下してしまう。

【0054】これに対し、図14(C)は、先に本発明の第1実施例あるいは第2実施例で説明したCMOS装置を使った場合のCMOSスイッチの出力波形を示す。

【0055】図14(C)を参照するに、本発明のCMOS装置を使ったCMOSスイッチでは、pチャネルMOSトランジスタTr51の寄生容量C<sub>p</sub>がnチャネルMOSトランジスタTr52の寄生容量C<sub>n</sub>と同程度まで減少し、その結果、出力電圧のオフセットは激減することがわかる。

【0056】このように、本発明のCMOS装置を使うことにより、非常に応答速度に優れたCMOSスイッチを実現することが可能になる。

【第8実施例】図15は、本発明の第8実施例によるpチャネルMOSトランジスタTr61とnチャネルMOSトランジスタTr62とを使ったB級プッシュプル増幅器の構成を示す。

【0057】図15を参照するに、本実施例によるB級プッシュプル増幅器ではpチャネルMOSトランジスタTr61とnチャネルMOSトランジスタTr62とで動作特性および寄生素子特性が平衡し、広いダイナミックレンジ、広い周波数帯域および高調波歪のない増幅が可能になる。

【0058】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0059】

【発明の効果】本発明によれば、シリコンの(100)面以外の結晶面を使うことにより、pチャネルMOSトランジスタとnチャネルMOSトランジスタの電流駆動能力を平衡させることができ、CMOS装置の微細化が促進され、また動作速度が向上する。

【図面の簡単な説明】

【図1】従来のCMOS装置の構成を示す等価回路図である。

【図2】本発明で使われる基板処理装置の構成を示す図である。

【図3】図2の基板処理装置を使ったシリコン基板の酸

化処理を示す図である。

【図4】図2の基板処理装置を使ってシリコンの様々な結晶面上に形成された酸化膜の膜質を熱酸化膜と比較して示す図である。

【図5】(A)～(C)は、様々な結晶面上に形成されたpチャネルMOSトランジスタのドレイン電流特性を示す図である。

【図6】本発明の第1実施例によるCMOS装置の構成を示す図である。

【図7】図6のCMOS装置の一部を示す図である。

【図8】本発明の第2実施例によるCMOS装置の構成を示す図である。

【図9】本発明の第3実施例による3入力NAND回路の構成を示す図である。

【図10】本発明の第4実施例による3入力NOR回路の構成を示す図である。

【図11】本発明の第5実施例による5入力NAND回路の構成を示す図である。

【図12】本発明の第6実施例による5入力NOR回路の構成を示す図である。

【図13】本発明の第7実施例によるCMOSスイッチの構成を示す図である。

【図14】(A)～(C)は、図13のCMOSスイッチの動作を説明する図である。

【図15】本発明の第8実施例によるプッシュプル増幅器の構成を示す図である。

#### 【符号の説明】

1 1 pチャネルMOSトランジスタ

1 2 nチャネルMOSトランジスタ

2 0 基板処理装置

2 1 処理容器

2 1 A 排気ポート

2 2 マイクロ波窓

2 3 試料保持台

2 4 被処理基板

2 5 シャワープレート

2 6 RLSAアンテナ

2 7 同軸導波管

3 0, 4 0 CMOS装置

3 1, 4 1 Si基板

3 1 A, 3 1 B 突出部

3 1 C 素子分離構造

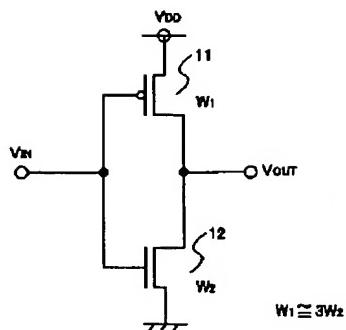
3 1 a, 3 1 b, 4 3 A, 4 4 A n型拡散領域

3 1 c, 3 1 d, 4 3 B, 4 4 B p型拡散領域

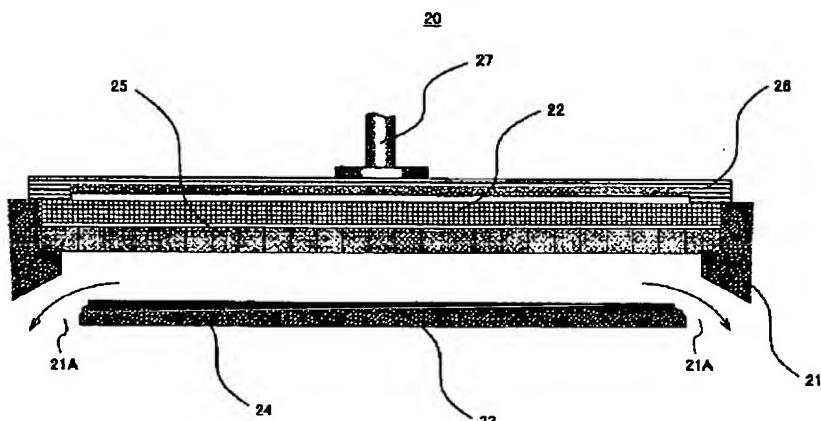
3 2 A, 3 2 B ゲート絶縁膜

3 3 A, 3 3 B, 4 2 A, 4 2 B ゲート電極

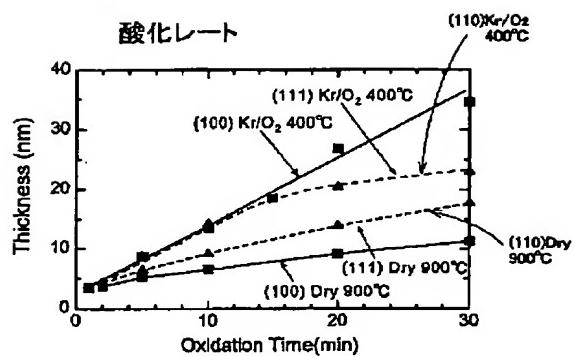
【図1】



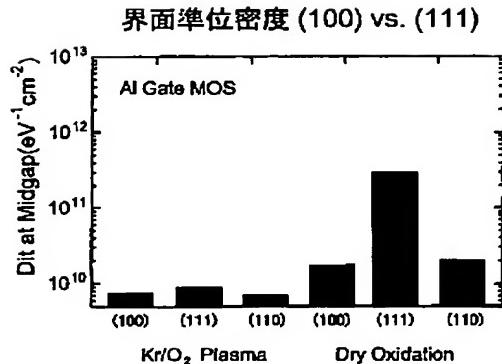
【図2】



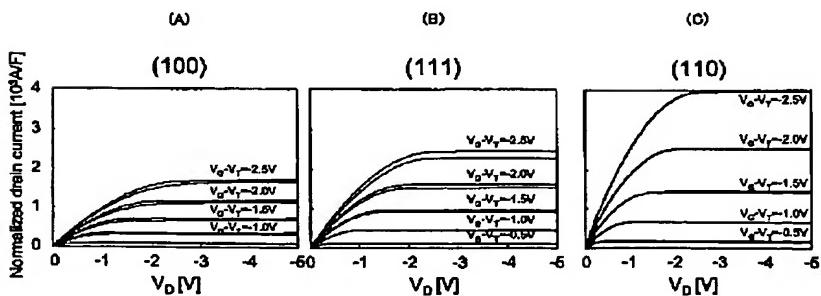
【図3】



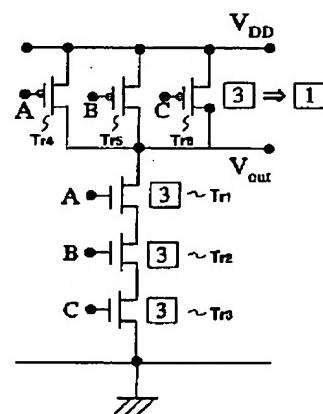
【図4】



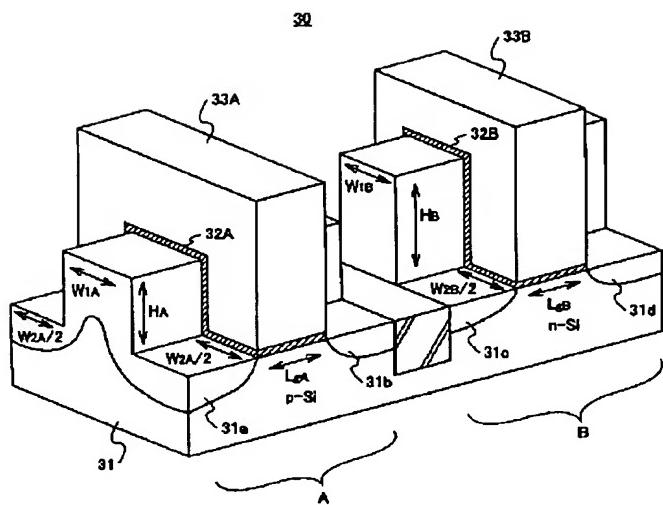
【図5】



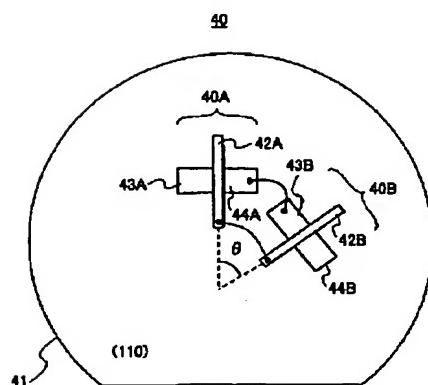
【図9】



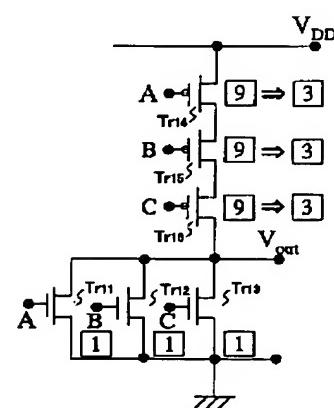
【図6】



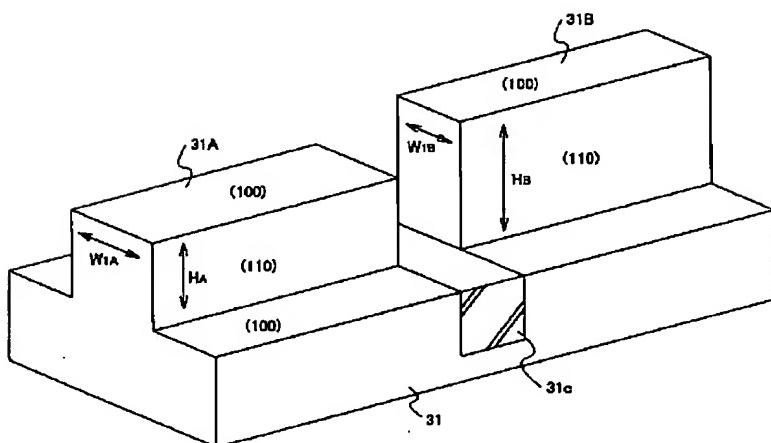
【図8】



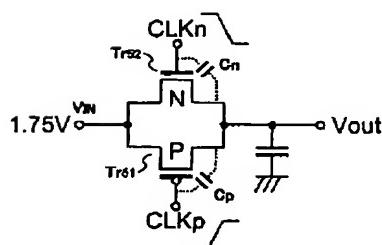
【図10】



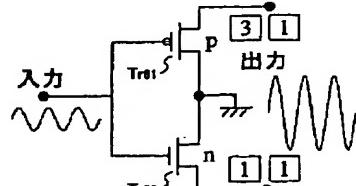
【図7】



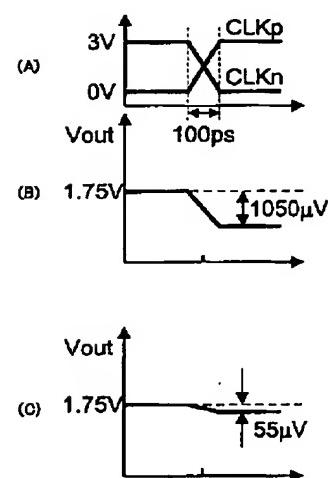
【図13】



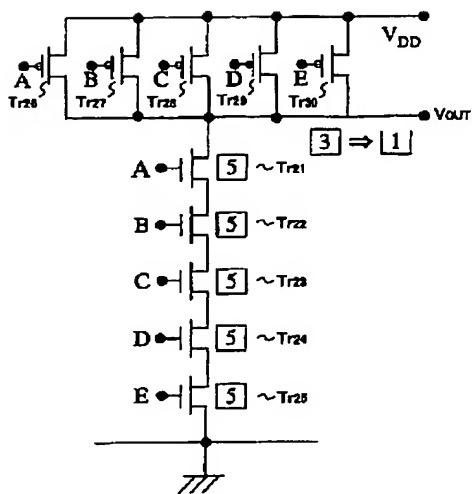
【図15】



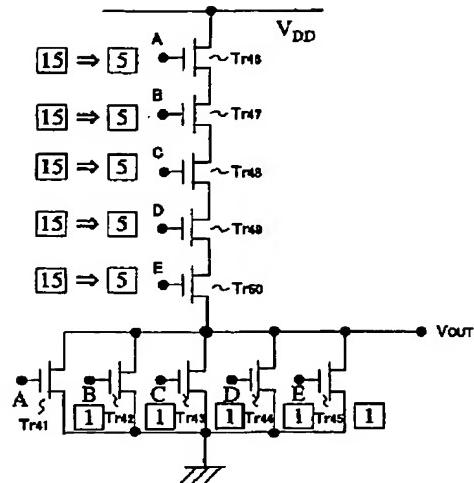
【図14】



【図11】



【図12】



フロントページの続き

(72)発明者 小谷 光司

宮城県仙台市青葉区荒巻字青葉05 東北大  
学大学院工学研究科電子工学専攻内

(72)発明者 須川 成利

宮城県仙台市青葉区荒巻字青葉05 東北大  
学大学院工学研究科電子工学専攻内

Fターム(参考) 5F048 AA01 AB03 AB04 AB10 AC03  
BA02 BA10 BA14 BA19 BB01  
BB04 BB05 BB11 BC01 BC03  
BC18 BD01 BD06